

PAT-NO: JP402183855A

DOCUMENT-IDENTIFIER: JP 02183855 A

TITLE: METHOD FOR SYNCHRONIZING AN  
ASYNCHRONOUS SIGNAL

PUBN-DATE: July 18, 1990

INVENTOR-INFORMATION:

NAME

DOTTLING, GERHARD

ASSIGNEE-INFORMATION:

NAME

INTERNATL BUSINESS MACH CORP <IBM>

COUNTRY

N/A

APPL-NO: JP01260389

APPL-DATE: October 6, 1989

INT-CL (IPC): G06F013/42

ABSTRACT:

PURPOSE: To enable synchronization of an asynchronous signal by synchronizing asynchronous data effective signal with the clock cycle of a sending chip to generate the first synchronous signal, and by using the second synchronous signal for accessing data from the first register.

CONSTITUTION: A synchronous circuit SC synchronizes an asynchronous data effective signal TAG UP with the clock cycle of a sensing chip to generate the first synchronous signal SDV. The synchronous circuit SC further synchronizes the data effective signal with the clock cycle with a

receiving chip to generate the second synchronous signal CDV. The second synchronous signal is used to latch data loaded in the first register 30 to the second latch 31 in synchronous with the clock cycle, and the second register 31 supplies data for successive processing under the control of the clock cycle of the receiving chip. With this, an asynchronous signal which is generated in the chip having an onchip clocking system which is different in speed can be synchronized.

COPYRIGHT: (C)1990,JPO

## ⑫ 公開特許公報(A)

平2-183855

⑤Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬公開 平成2年(1990)7月18日

G 06 F 13/42

3 5 0 A

8840-5B

審査請求 有 請求項の数 1 (全7頁)

⑭発明の名称 非同期信号の同期方法

⑯特 願 平1-260389

⑰出 願 平1(1989)10月6日

優先権主張 ⑱1988年12月24日⑲欧州特許機構(E P)⑳88121680.8

⑳発 明 者 ゲルハルト・デエトリ ドイツ連邦共和国7405デッテンハウゼン、カールシュトラーク

㉑出 願 人 インターナショナル・アメリカ合衆国10504、ニューヨーク州 アーモンク(番地なし)

ズ・コーポレーション

㉒代 理 人 弁理士 頓宮 孝一 外1名

## 明 細 書

1. 発明の名称 非同期信号の同期方法

2. 特許請求の範囲

オンチップ・クロッキング・システムを有する異なるチップに生成される非同期信号を、第1のチップから第2のチップへのデータの異なる転送速度に同期させる方法であって、

異なるクロッキング・システムのサイクルは一定の位相関係及び一定のサイクル比を有し、

送信チップはデータ有効信号を同期回路に送ることにより有効な送信データを表わし、

該同期回路は非同期のデータ有効信号を該送信チップのクロック・サイクルに同期させて第1の同期信号を生成し、

該第1の同期信号が該チップに接続しているバス上のデータを該送信チップの該クロック・サイクルに合わせて受信チップ上の第1のレジスタにラッチするために用いられ、

該同期回路は更に該データ有効信号を該受信チ

ップの該クロック・サイクルに同期させて第2の同期信号を生成し、

該第2の同期信号が最後に該第1のレジスタ内のデータをアクセスするため且つこれらのデータを該受信チップのクロック・サイクルに合わせて該受信チップ上の第2のレジスタにラッチするために用いられ、

該第2のレジスタが後続の処理のため該データを該受信チップのクロック・サイクルの制御の下に供給するために用いられることを特徴とする

非同期信号の同期方法、

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は速度の異なるオンチップ・クロッキング・システムを有するチップ内で第1のチップから第2のチップにデータを転送するために生成される信号を同期させる方法に関する。

B. 従来技術及びその問題点

コンピュータ・システム設計分野の最近の傾向は、コンピュータ・システムの基本構成要素を形

成する共通ハードウェア構築ブロックに向っている。大抵の場合、これらの共通ハードウェア構築ブロックは、プロセッサ、メモリ制御ユニット、入出力制御装置及び（又は）バス・アダプタ等を表わす。製造するのが難しいシングルVLSIチップ装置である。

製造の問題は主に、極めて規則的なメモリ・チップの構造と比較して、高密度のロジック・チップの不揃いな構造又はトポロジーから生ずる。その結果、高密度ロジック・チップは大量に生産されない限り高価である。しかしながら、大量生産は同じ部品番号を持つ所要数のチップを生産するためには多くの投入量を要するという不利点を有する。該チップの生産プロセスにおける避けられない変化やずれのため、生産されたチップの物理的なパラメータ即ち特性は投入量毎に異なる。

共通の構築ブロック（チップ集合のチップ）の相互接続によって形成されたコンピュータ・システムの設計で、種々のチップでの異なる伝達遅延によって生ずる性能の相違は非常な障害になる。

同期問題は、データを第1のチップから第2のチップに転送するために、異なるチップに生成される非同期の信号を同期させる方法を利用する本発明により解決される。本発明は下記のように特徴付けられる。

(1) 異なるクロッキング・システム（BCUクロック、CSクロック）のサイクルは一定の位相関係及び一定のサイクル比（例えば、1:1、2:1、3:2、...）を有する。

(2) 送信チップ（BCU）はデータ有効信号（TAG UP）を同期回路（SC）に送ることにより有効な送信データを表わす。

(3) 同期回路は非同期のデータ有効信号を送信チップのクロック・サイクル（C/BクロックBCU）に同期させ、第1の同期信号（BDV）を生成する。

(4) 第1の同期信号はチップを接続するバス（14、14a）上のデータを送信チップのクロック・サイクルに合わせて受信チップ上の第1のレジスタ（REG A）にラッチするために用い

しかしながら、それにもかかわらず、チップ集合の大量生産は、専用タイプのコンピュータ・システム用だけでなく汎用についてもチップ集合を用いて果たされる。チップ集合の多重使用の先行条件は入出力バス制御装置（I/Oバス制御装置）のドメイン（domain）における高い柔軟性である。チップ集合のメンバーであるシングル・チップ・バス制御装置はそれら自身のクロッキング・システムを有する。前述の処理速度の相違により、協同するチップは通常は非同期のオフチップ信号及び異なる長さの位相を有するであろう。適切なチップ間通信を保证するため、特殊な処置をとる必要がある。

C. 問題点を解決するための手段

本発明の目的は速度の異なるオンチップ・クロッキング・システムを有するチップ内で生成された非同期の信号を同期させる方法を提供することである。主に種々のレベルのI/Oバスを相互接続しなければならないシングル・チップI/Oバス制御装置が同期される必要がある。

られる。

(5) 同期回路は更にデータ有効信号を該受信チップのクロック・サイクル（C/BクロックCS）に同期させ、第2の同期信号（CDV）を生成する。

(6) 第2の同期信号は最後に第1のレジスタ内のデータをアクセスし且つこれらのデータを該受信チップのクロック・サイクルに合わせて該受信チップ上の第2のレジスタ（REG B）にラッチするために用いられる。

(7) 第2のレジスタは後続の処理のため該データを該受信チップのクロック・サイクルの制御の下に供給するために用いられる。

それゆえ、本発明は適度の費用で同期I/Oバス制御装置の利点を提供する。

D. 実施例

第1図は適切なチップ集合のメンバーを形成するシングル・チップによりセットアップされるコンピュータ・システムをブロック表示で示す。プロセッサ・チップ（PU）1は制御プログラム即

ち換言すればマイクロプログラムが記憶される制御記憶チップ (CS) 2 に接続される。随意的に、浮動小数点又はグラフィック動作のような特殊な機能を実行するコプロセッサ・チップ (COP) 8 が提供される。更に、シングル・チップ3はキャッシュ (CCH) 及びキャッシュ制御装置 (CCH CTL) を含み、チップ5は、メイン・メモリ (MM) 4 の動作を制御するために用いられるメイン・メモリ制御装置 (MM CTL) である。チップ1、3、4/5、8及び11はプロセッサ・バス10により相互接続される。

第1図のシステムはクロッキング・システムを内蔵しないチップの全てのタイミングを供給するクロック・チップ (CLK) 6 も具備し、コンピュータ・システムによっては保守及びサービス機能の提供が可能なるものもある。

多くの入出力装置 (I/O DEV) とのプロセッサ・インタフェースはシステム・バス・アダプタ・チップ (SBA) 11 と、チップ集合のメンバーではない少なくとも1つのバス制御ユニッ

2 : 1 及び 3 : 2 が実現される。

これらの3サイクル比は、異なる速度を有するシングル・チップから形成されたバス・アダプタ又は制御装置を具備する異なるシステムで用いることができる。異なるコンピュータ・システムで同じチップ集合を用いてコストを省く基礎を提供するのはこの柔軟性である。

バス制御ユニット12、12aのサイクル・タイムは該定義されたI/Oバス13、13aのタイミング要求及び中間バス14、14aのプロトコルにより決定される。その結果得られたバス制御ユニットの速度がもし該チップ集合の(技術的な)速度と一致しなければ、システム・バス・アダプタ11はこの速度差を補償しなければならない。その結果として、非同期データ転送プロトコルが選択されなければならない。

そのため、特殊な同期回路がシステム・バス・アダプタ11内に実現され、該チップ速度よりも速く又は(適切な場合には)それと同じ速度でランし、同時に適切なデータ転送のため中間バス1

ト (BCU1、BCU1a) 12及び12aを含む。

入出力プロセッサ15は少なくとも1つの入出力バス (DEF I/O BUS) 13及び13a — データ及び制御情報交換の規約 (バス・プロトコル) に関して明確に定義されている — を介してシステムと通信する。

最後に、印刷装置、ディスク又はテープ駆動機構のような外部記憶装置、端末装置、等を表わす入出力装置 (I/O DEV) が、装置特有の制御プログラムが常駐する個々の入出力プロセッサ (IOP) 15に接続される。多くの場合、IOP 15は同じハードウェア構造 (モジュール方式) を有するが、前述のように、接続されるI/O装置が異なると、それらに含まれる制御プログラムも異なる。

下記の詳細な回路配列はシステム・バス・アダプタ11をバス制御装置12、12aと同じか又はそれよりも低い速度でランさせることを可能にする。そのため、下記の3サイクル比、1 : 1、

4、14aのプロトコルの要求を満たすことを可能にする。

第2図の例では、それ自身のクロッキング・システムを有するBCU12、12aが、以前に開発され出荷されたコンピュータ・システムのために設計されたと仮定する。しかしながら、適切なチップ集合によって形成される新しいコンピュータ・システムは同じBCU12、12aを使用して該定義されたI/Oバス13、13aをインタフェースしなければならない。

該定義されたI/Oバスの13、13aの要求を満たすためには、最も遅いクロック・サイクルは約67 nsであり、最も速いBCUは50 nsに設計される。これが該仮定された例の状況である。この速度は大抵のチップ集合ベース方式のシステムでは該チップ集合それ自身の速度に一致しない。それ故、特殊な回路 — 該システム・バス・アダプタ内で実現されなければならない — が、バス制御ユニット12、12aがより速い速度でランし、システム・バス・アダプタ11と呼ばれ

るチップがより遅い速度でランすることを可能にする。そのため、2つのクロック・ドメインがシステム・バス・アダプタ11に提供される。その1つは同期プロセッサ・バス10と通信するためチップ集合の速度でランし、他の1つは中間バス14、14aのプロトコルに必ずるBCU速度でランする。

更に、該システム内部のロジックは、E. B. Aichelbergerの論文、"LSI論理設計構造の試験可能性 (A logic Design Structure for LSI Testability)"、設計自動化会議の議事録 (Proceedings of the Design Automation Conference), No. 14, 20-22 June 1977, New Orleans Louisiana, pp. 462-468 に記述されているレベル感応走査設計ルール (LSSD) に基づくと仮定する。これらの設計原理により、全ての内部ラッチは、システム初期設定又は試験のためシフト・レジスタの形式で接続することができるマスター・スレーブ・ラッチとして設計されなければならない。これは、クロック・ドメイン毎

に、2つのクロック：該チップ上の全てのマスター・ラッチをクロックするCクロック、及び全てのスレーブ・ラッチをクロックするBクロックを必要とするからである。これらのクロックは、第1図に関連して前に述べたクロック・チップ6によって供給される。

中間バス14、14aのプロトコルは、BCU及び中間バス・インタフェース・ロジックが同じクロック・サイクルでランすることを必要とする。BCUに接続されたクロックとSBAチップ11内に実現されたSBAクロック・ドメインのクロックとの定義された位相関係は必要とされない。4バイトの転送はBCUでTAG UPと呼ばれる信号を消すことにより開始される。この信号は、前記同期回路 — その詳細は第3図～第7図に関連して説明する — によってSBA11内の両クロッキング・ドメインと同期されなければならない。

前述のように、BCUは、TAG UPと呼ばれるデータ有効信号を活動化させることにより有

効データを中間バス14、14aに表示する。中間バス・プロトコルに必ずるために、SBA11は、非同期のTAG UP信号をBCUのクロック・サイクル周波数に同期させなければならない。同期BCUのデータ有効信号BDVはレジスタA (REG A) 30内の中間バス14、14aからのデータをラッチする。チップ集合 (SBA) はこのデータをアクセスすることを必要とし、さもなければ、SBAとBCUの間のデータの適切な通信は起こりえない。しかしながら、これはデータ有効信号 (TAG UP) がチップ集合クロック・サイクルに同期されなければならないことを意味する。その結果得られる同期信号はレジスタA30からのデータをレジスタB (REG B) 31にロードするCSデータ有効信号CDVである。該チップ集合は、該チップ集合クロック・サイクルの制御の下にランするので、レジスタBをアクセスすることができる。それゆえ、同期回路 (SC) 32は、BCUからチップ集合 (SBA) に正しくデータが転送されることを保証するため

にレジスタBのローディングに常にレジスタAのローディングが後続することを保証する。

第3図の同期回路SC32の詳細は第4図に示す。該回路の基本的な要素はアンゲート (ungate) クロックを有するLSSD極性保持ラッチ41、42、44、45、46、47及び48である。アンゲートLSSD極性保持ラッチは一般に、パルスがオーバーラップすることがない異なるクロックから駆動される2つのラッチ：マスター・ラッチM及びスレーブ・ラッチSを含む。マスター・ラッチはCクロックのパルスによって制御され、スレーブ・ラッチはBクロックのパルスによって制御される。各のラッチ、マスターM又はスレーブSは2つの入力と1つの出力を有する。マスター・ラッチMの出力はスレーブ・ラッチSの入力の1つに接続される。クロッキング・ラインに接続されない入力、LSSD極性保持ラッチ41に関連して明らかのように、データ入力である。ANDゲート43はラッチ42の出力をラッチ44のデータ入力に接続するために用いられる。更

に、ラッチ46及び47をラッチ48に接続する結合要素が提供される。該結合要素はORゲート49及びANDゲート50を含む。

TAG UP信号はBCUにより活動化され、中間バス14、14aの伝播遅延時間及びSBAチップ上のレシーバ(REC)40の伝播遅延時間後に、該信号はそれにより活動化されるラッチ41のデータ入力部に現われる。SBAのロジック回路での不安定状態を避けるため、BCUのランと同じ速度でランするC/BクロックBCUによりクロックされるラッチ41、42及び44によってTAG UP信号が同期される。ラッチ42は、BDV(BCUデータ有効)が呼出されるラッチ44 — 第3図に関連して前に説明された — の出力部に1サイクル・パルスを生成するために用いられる。この信号は、C/BクロックBCU信号に関連してレジスタA30にデータをゲートさせるための制御信号として用いられる。ラッチ45の出力は、BDV信号の活動化の後の更にもう1つのサイクルでも活動状態である。

64 ns (前縁) — 第5図参照 — で開始するBクロックBCUパルスによって活動化されるなら、ラッチ47のデータ入力は86 ns (CクロックCSの後縁) からラッチ・セットアップ時間(06、第2のセクション)を引いた時点で活動状態でなければならない。

それゆえ、ラッチ48に関連するラッチ46又はラッチ47の出力信号は、CDVと呼ばれる1サイクル連続するパルスを生成する。これはC/BクロックCSによりクロックされるレジスタB31をゲートしレジスタA30からレジスタB31にデータを転送するために用いられる。いま、後続する処理のためのデータがCSドメインで使用可能である。

第6図はクロック・サイクル比が3:2の場合の例を示す。Bクロック・パルスは極性保持ラッチの出力信号を生成するスレーブ・ラッチを制御するから、上部の2つのラインには、BクロックBCU及びBクロックCSパルスの続きだけが示される。

チップ集合(CS)システムとの同期のため、BDV信号はラッチ47のデータ入力部に転送されるのに対し、ラッチ45の出力信号はラッチ46のデータ入力部に結合される。いま、C/BクロックBCUとC/BクロックCSの関係は、ラッチ44の活動状態の出力信号(BDV)又はラッチ45の活動状態の出力信号がCクロックCSパルスとオーバーラップするような関係でなければならない。この関係だけがBCUクロッキング・ドメインからCSクロッキング・ドメインへの誤りのない同期を保証することができる。オーバーラップの量は、最悪の場合でも、少なくとも、ラッチ44又はラッチ45の出力信号の正味の遅延と、ラッチ46又はラッチ47のラッチ・セットアップ時間との和(クロック・スキューは考慮せず)に等しいに相違ない。しかしながら、これは、第5図、第6図及び第7図でわかるように、クロック: C/BクロックBCU及びC/BクロックCSの間の一定の位相関係を必要とする。

例えば、もしラッチ44のスレーブ出力信号が

次に下方のラインは、BCUからの有効データがレシーバ40による遅延のち使用可能になる毎に生成されるTAG UP信号の表示を示す。極性保持ラッチ41は、TAG UP信号が第5のサイクルの中間まで続いているときに次の(第2の)BブロックBCUサイクルの後縁によってセットされる。ラッチ41によって生成される出力信号は第5のBCUサイクルの終りで非活動化される。ラッチ42の出力は、第6図の上部から5番目のラインでわかるように、ラッチ41の出力信号及び第3のBCUサイクルによって活動化される。

ラッチ42及び44を相互接続するANDゲート43は2つの入力及び1つの出力を有する。1つの入力部はラッチ41の出力部に接続され、他の入力部はラッチ42の反転出力部に接続される。反転出力部は“くさび”のマークが付されている。ANDゲート43とラッチ44の相互接続は、ラッチ41の出力が活動状態でラッチ42の出力が非活動状態のときにだけセットすることができる。

この関係は第6図の上部から6番目のラインに示す。ラッチ44は、ラッチ42の反転された出力信号と次のクロック・パルスの対によってオフにされるから、正確に1BCUサイクルのあいだ活動状態のBDV信号を生成する。従って、極性保持ラッチ45は次のクロック・パルスの対によってセットされたりリセットされたりする。

しかしながら、更に第6図からわかるように、極性保持ラッチ45の出力信号は、1サイクルだけシフトされた極性保持ラッチ44の出力信号を反映する。

極性保持ラッチ44及び45の出力信号はCSクロック・ドメインに関連する該回路配列の当該部分を制御するために用いられる。極性保持ラッチ45の出力信号はCSクロック・パルス対と協同して極性保持ラッチ46を直接制御する。第6図は最初に極性保持ラッチ46が8.のCSクロック・パルス対によってセットすることができることを示す。なぜなら、最初にラッチ45の出力信号が前記クロック・パルス対と一致するからで

ある。

極性保持ラッチ47は第3のCSクロック・パルス対によってだけセットすることができる。なぜなら、次の時間条件は極性保持ラッチ44の出力信号と後続するCSクロック・パルスの対の間の所要の一致を生じないからである。

ORゲート49により極性保持ラッチ48は極性保持ラッチ46及び47の出力信号がCSクロック・パルスの対と一致する毎にセットされる。ANDゲート50によって生成される制御信号CDVはORゲート49の出力信号及び極性保持ラッチ48の反転された出力に従属する。それゆえ、極性保持ラッチ46又は極性保持ラッチ47がセットされると、ANDゲート50を介してCDV制御信号を活動化する。次のCSクロック・パルス対は極性保持ラッチ48をセットする。極性保持ラッチ48の反転された出力信号はANDゲート50及びCDV制御信号を非活動化する。それによって、このCDV制御信号を1サイクルの間だけ活動状態にすることが保証される。

第6図が3:2のクロッキング・パルス比のタイミング図を示すのと同様に、第7図は2:1のクロック・パルス比のタイミングを示す。第7図は自明であるので、それ以上の説明は必要とは思われない。

より遅いユニット(SBA)がより速いユニット(BCU)と通信しなければならないときに必要とする前述の同期は、データ及び(又は)制御情報がより速いユニットからより遅いユニットに転送されなければならないときに起こる問題を解決する。反対の転送方向では問題は生じない。有効データを検出し、より遅いユニットからより速いユニットにデータ及び制御情報転送を制御するには既存のバス・プロトコル及び標準的な(直列の2つのマスター/スレーブ・ラッチの)同期回路が提供される。

#### E. 発明の効果

本発明により、速度の異なるオンチップ・クロッキング・システムを有するチップ内で生成された非同期の信号を同期させる方法が達成された。

#### 4. 図面の簡単な説明

第1図は適切なチップ集合の種々のチップにより形成されるコンピュータ・システムを示すブロック図である。

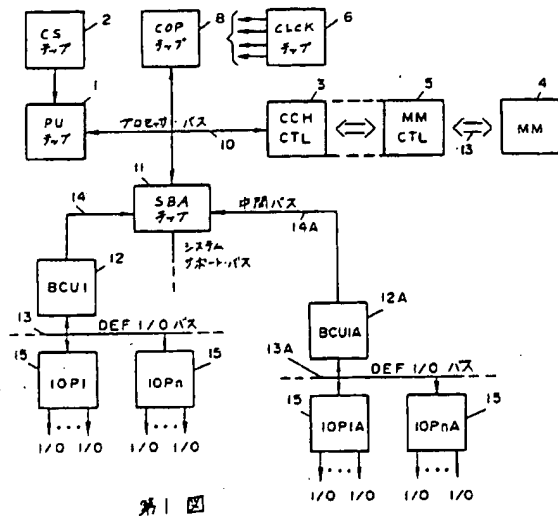
第2図は第1図のコンピュータ・システムの一部を示すブロック図である。

第3図は第1図又は第2図のコンピュータ・システム内で用いられる同期回路の一般的な形態を示すブロック図である。

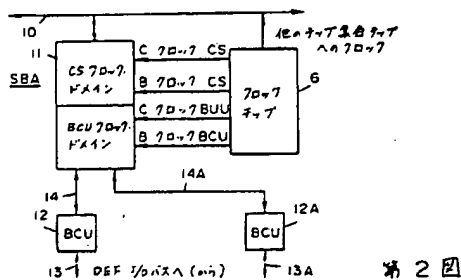
第4図は第3図の同期回路をより詳細に示すブロック図である。

第5図乃至第7図は第4図の同期回路の動作を示すタイミング図である。

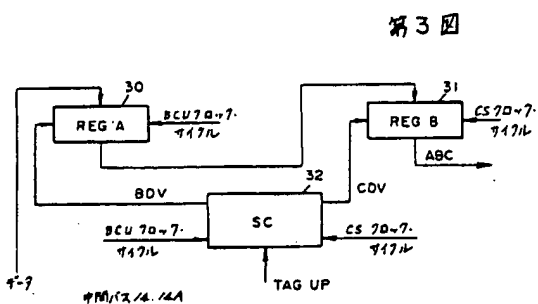
1...プロセッサ・チップ(PU)、2...制御記憶チップ、3...シングル・チップ、4...メイン・メモリ、5...チップ、6...クロック・チップ、8...コプロセッサ・チップ、10...プロセッサ・バス、11...システム・バス・アダプタ・チップ、12、12a...バス制御ユニット、15...入出力プロセッサ。



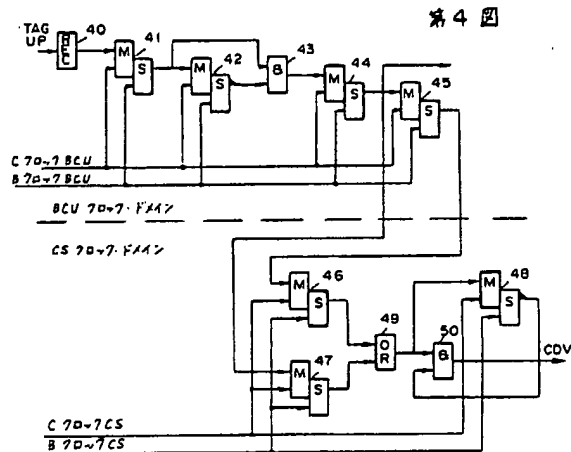
第1図



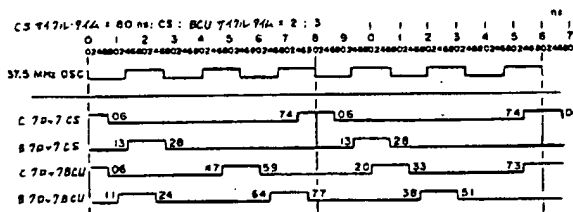
第2図



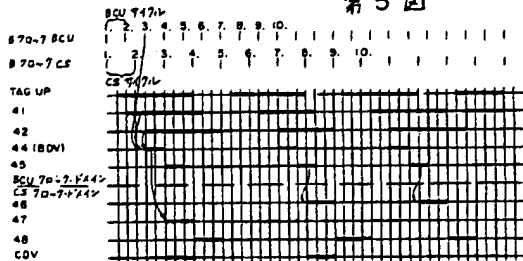
第3図



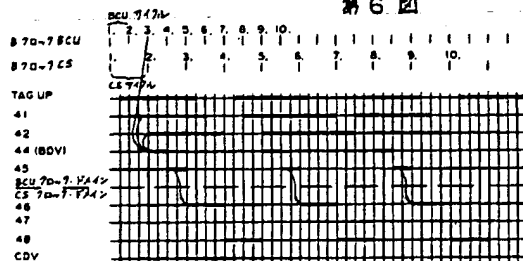
第4図



第5図



第6図



第7図